

（深圳）

实验作业

开课学期： 2022春季

课程名称：计算机组成原理（实验）

实验名称： 直接映射Cache设计

实验性质： 综合设计型

实验学时： 4 地点： T2 507

学生班级： 20级08班

学生学号： 200210231

学生姓名： 王木一

作业成绩：

实验与创新实践教育中心制

2022年5月

|  |
| --- |
| 1. Cache模块设计 |
| （画出读、写的状态转移图，并描述状态之间的转移关系和转移条件、以及每个状态需要完成什么操作。  读操作：   1. F:\屏幕截图 2022-05-19 215943.png置位reset后，状态初始化为READY。 2. READY：此状态下，Cache等待CPU的读请求。①若CPU请求读Cache，即r\_req=1,状态转移到TAG\_CHECK，判断是否命中；②若CPU未请求读Cache，状态仍为READY，继续等待CPU发出读请求。 3. TAG\_CHECK：此状态下，Cache判断是否读命中。①若读命中，即hit=1，CPU成功从Cache中读出数据，状态转移到READY，等待CPU发出下一个读请求；②若读缺失，即miss=1（或hit=0），状态转移到REFILL，从主存中读取数据，重新装填Cache。 4. REFILL：此状态下，Cache从主存中重新读取数据，此时主存读使能设置为1,主存读取地址设置为CPU传来的地址。之后将从主存读取到的数据连同标志位有效位重新写入Cache对应位置，此时需将Cache写使能置为1。①若完成装填，get\_data=1,状态转移到TAG\_CHECK，再次比较是否命中；②若未完成装填，状态不变，直至装填完成。   F:\屏幕截图 2022-05-19 220335.png写操作   1. 置位reset后，状态初始化为READY。 2. READY：此状态下，Cache等待CPU的写请求。①若CPU请求写Cache，即w\_req=1,状态转移到TAG\_CHECK，进入标志位检查；②若CPU未请求读Cache，状态仍为READY，继续等待CPU发出写请求。 3. TAG\_CHECK：此状态下，Cache进行标志位比较，判断是否写命中。①若写命中，即hit=1，状态转移到W\_DATA，写直达法入数据；②若写缺失，即hit=0（或miss=1），状态转移到READY，等待下一个写信号（实验未要求处理写缺失的情况） 4. W\_DATA：此状态下，写直达法同时修改Cache和主存中对应位置的数据。需要将主存读使能置为1，同时传入修改的数据和数据地址；此外，Cache写使能置为1，修改Cache中的对应值。①当完成修改，w\_done=1，状态转移到READY，等待下一个写信号；②若未完成修改，状态不变，直至完成修改。（实际中，在W\_DATA一个周期中，即可完成修改，回到READY。） |
| 1. **调试报告** |
| （仿真截图及时序分析，要求包含读命中、读缺失、写命中及写缺失共四种情况的分析，且每种情况需列举2个测试用例进行分析。）  注：本次实验，分别设计了读、写两个状态机。分别设置的两组状态变量，currrent\_state和next\_state为读状态机的变量；currrent\_state\_w和next\_state\_w为写状态机的变量。两个状态机共用部分状态参数。  状态参数表：   |  |  | | --- | --- | | 状态 | 值 | | READY | 0 | | TAG\_CHECK | 2 | | REFILL | 1 | | W\_DATA | 3 |  |  |  | | --- | --- | | 用例编号 | 对应情况 | | #1-1-1/2 | 读缺失 | | #1-2-1/2 | 读命中 | | #2-1-1/2 | 写缺失 | | #2-2-1/2 | 写命中 |   用例对照表：  读操作  用例 #1-1-1 读缺失，读取地址0000   |  |  |  | | --- | --- | --- | | 时间（ns） | 当前状态 | 操作及备注 | | 130-150 | READY | CPU发出读请求，rreq\_from\_cpu=1,欲读取主存地址为0000的数据，状态转移到TAG\_CHECK | | 150-170 | TAG\_CHECK | 此状态下，判断是否命中。此时Cache读出位置00的数据，cache\_index=00。由于有效位为0，读缺失，hit=0。状态转移到REFILL。 | | 170-510 | REFILL | 此状态下，Cache从主存相应位置0000读取数据（rreq\_to\_mem=1），重新写入Cache(wea=1)。当成功从主存读出数据，写入Cache后，rvalid\_from\_mem=1,状态转移到TAG\_CHECK | | 510-530 | TAG\_CHECK | 此状态下，判断是否命中。此时有效位为1，cpu和cache标志位相同，读命中，hit=1，成功输出数据rdata\_to\_cpu=1a，状态转移到READY | | 530~ | READY | 等待CPU发出下一读请求 |   用例 #1-1-2 读缺失，读取地址0100   |  |  |  | | --- | --- | --- | | 时间（ns） | 当前状态 | 操作及备注 | | 43650-43670 | READY | CPU发出读请求，rreq\_from\_cpu=1,欲读取主存地址为0100的数据，状态转移到TAG\_CHECK | | 43670-43690 | TAG\_CHECK | 此状态下，判断是否命中。此时Cache读出位置00的数据，cache\_index=00。有效位为1但tag\_from\_cpu=01,tag\_from\_cache=00，读缺失，hit=0。状态转移到REFILL。 | | 43690-44030 | REFILL | 此状态下，Cache从主存相应位置0100读取数据（rreq\_to\_mem=1），重新写入Cache(wea=1)。当成功从主存读出数据，写入Cache后，rvalid\_from\_mem=1,状态转移到TAG\_CHECK | | 44030-44050 | TAG\_CHECK | 此状态下，判断是否命中。此时有效位为1，cpu和cache标志位相同，读命中，hit=1，成功输出数据rdata\_to\_cpu=1a，状态转移到READY | | 44050~ | READY | 等待CPU发出下一读请求 |   用例 #1-2-1 读命中，读取地址0001 及 用例 #1-2-2 读命中，读取地址0002  （读命中的两个用例写在一起）   |  |  |  | | --- | --- | --- | | 时间（ns） | 当前状态 | 操作及备注 | | 用例 #1-2-1 读命中，读取地址0001 | | | | 570-590 | READY | CPU发出读请求，rreq\_from\_cpu=1,欲读取主存地址为0001的数据，状态转移到TAG\_CHECK | | 590-610 | TAG\_CHECK | 此状态下，判断是否命中。此时有效位为1，cpu和cache标志位相同（都为00，由于vivado显示缘故，截图波形上看不到），读命中，hit=1，成功输出数据rdata\_to\_cpu=0b，状态转移到READY | | 610-650 | READY | 等待CPU发出下一读请求 | | 用例 #1-2-2 读命中，读取地址0002 | | | | 650-670 | READY | CPU发出读请求，rreq\_from\_cpu=1,欲读取主存地址为0002的数据，状态转移到TAG\_CHECK | | 670-690 | TAG\_CHECK | 此状态下，判断是否命中。此时有效位为1，cpu和cache标志位相同（都为00，由于vivado显示缘故，截图波形上看不到），读命中，hit=1，成功输出数据rdata\_to\_cpu=0c，状态转移到READY | | 690~ | READY | 等待CPU发出下一读请求 |   用例 #2-1-1 写缺失，写地址0000   |  |  |  | | --- | --- | --- | | 时间（ns） | 当前状态 | 操作及备注 | | 1392690-1392710 | READY | CPU发出写请求，wreq\_from\_cpu=1,欲写主存地址为0000的数据，状态转移到TAG\_CHECK | | 1392710-1392730 | TAG\_CHECK | 此状态下，判断是否命中。此时Cache读出位置00的数据，cache\_index=00。有效位为1但tag\_from\_cpu=00,tag\_from\_cache=1f，写缺失，miss=1，hit=0。状态转移到READY。（实验不要求处理写缺失） | | 1392730~ | READY | 等待CPU发出下一写请求 |   用例 #2-1-2 写缺失，写地址1f00   |  |  |  | | --- | --- | --- | | 时间（ns） | 当前状态 | 操作及备注 | | 1393230-1393250 | READY | CPU发出写请求，wreq\_from\_cpu=1,欲写主存地址为1f00的数据，状态转移到TAG\_CHECK | | 1393250-1393270 | TAG\_CHECK | 此状态下，判断是否命中。此时Cache读出位置00的数据，cache\_index=00。有效位为1但tag\_from\_cpu=1f,tag\_from\_cache=00，写缺失，miss=1，hit=0。状态转移到READY。（实验不要求处理写缺失） | | 1393270~ | READY | 等待CPU发出下一写请求 |   用例 #2-2-1 写命中，写地址1f04   |  |  |  | | --- | --- | --- | | 时间（ns） | 当前状态 | 操作及备注 | | 1393770-1393790 | READY | CPU发出写请求，wreq\_from\_cpu=1,欲写主存地址为1f04的数据为ff，状态转移到TAG\_CHECK | | 1393790-1393810 | TAG\_CHECK | 此状态下，判断是否命中。此时Cache读出位置01的数据，cache\_index=01。有效位为1，tag\_from\_cpu=tag\_from\_cache=1f，写命中，hit=1,miss=0。状态转移到W\_DATA。 | | 1393810-1393830 | W\_DATA | 此状态下，写直达法，同时修改Cache和主存中的的数据。①修改Cache，写地址cache\_index不变，写入新的数据cache\_line\_r=3f2c21ffff，写使能wea=1；②修改主存，写地址waddr\_to\_mem=1f04,写入数据wdata\_to\_mem=ff,主存写请求wreq\_to\_mem=1.写完成后，状态转移到READY | | 1393830~ | READY | 等待CPU发出下一写请求 |   用例 #2-2-2 写命中，写地址   |  |  |  | | --- | --- | --- | | 时间（ns） | 当前状态 | 操作及备注 | | 1394650-1394670 | READY | CPU发出写请求，wreq\_from\_cpu=1,欲写主存地址为1f08的数据为ff，状态转移到TAG\_CHECK | | 1394670-1394690 | TAG\_CHECK | 此状态下，判断是否命中。此时Cache读出位置02的数据，cache\_index=02。有效位为1，tag\_from\_cpu=tag\_from\_cache=1f，写命中，hit=1,miss=0。状态转移到W\_DATA。 | | 1394690-1394710 | W\_DATA | 此状态下，写直达法，同时修改Cache和主存中的的数据。①修改Cache，写地址cache\_index不变，写入新的数据cache\_line\_r=3f0a1c3aff，写使能wea=1；②修改主存，写地址waddr\_to\_mem=1f08,写入数据wdata\_to\_mem=ff,主存写请求wreq\_to\_mem=1.写完成后，状态转移到READY | | 1394710~ | READY | 等待CPU发出下一写请求 | |